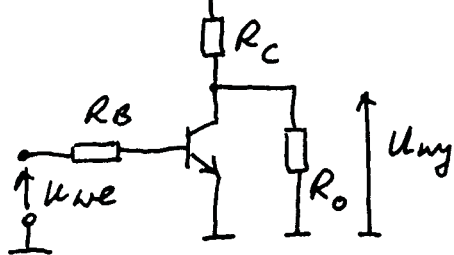


TRANZYSTOR JAKO ELEMENT CYFROWY

Inwerter $V_{CC} = +5V$



Układ powinien mieć pożądane właściwości:

$$U_{we} \leq U_L$$

$$U_{wy} \geq U_H$$

L (low) niski

H (high) wysoki

$$U_{we} \geq U_H$$

$$U_{wy} \leq U_L$$

Zależności powinny być gwarantowane nawet w najbardziej niekorzystnym przypadku, tzn.

U_{wy} nie może być mniejsze od U_H dla $U_{we} = U_L$ i nie może być większe od U_L dla $U_{we} = U_H$.

Jeżeli tranzystor jest zablokowany:

$$\text{dla } R_o = \infty \quad U_{wy} = V_{CC}$$

$$\text{dla } R_c = R_o \quad U_{wy} = \frac{1}{2} V_{CC} \quad \text{najniższe napięcie w stanie H.}$$

Dla pewności zdefiniujemy $U_H < V_{CC}/2$, np. $U_H = 1,5V$.

Jeżeli $U_{wy} \geq U_H$ to $U_{we} = L$, np. $U_{we} = 0,4V$

dla $U_{we} = U_H$ musi być $U_{wy} < U_L$.

W najbardziej niekorzystnym przypadku z zapasem bezpieczeństwa.

$$\text{dla } U_{we} = U_H = 1,5V \quad U_{wy} < 0,4V.$$

Dla $R_c = 5k\Omega$ także R_B , idąc przy $U_{we} = 1,5V \quad U_{wy} < U_L = 0,4V$

$$I_c \approx \frac{V_{CC}}{R_c} = \frac{5V}{5k\Omega} = 1\mu A \quad \beta_{st} = 100 \quad I_{Bmin} = \frac{I_c}{\beta_{st}} = 10\mu A$$

$$\text{dla pełnego nasycenia } I_B = 10 I_{Bmin} = 100\mu A$$

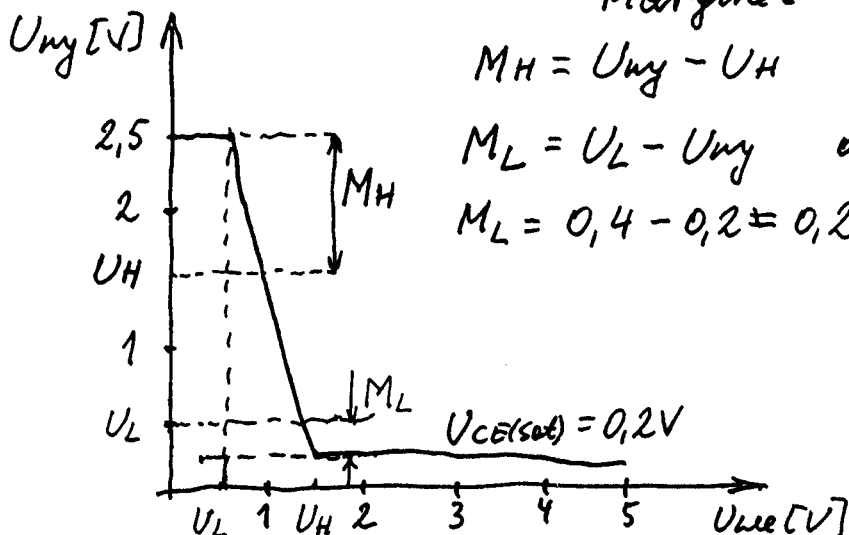
$$R_B = \frac{1,5 - 0,6}{100} \left[\frac{V}{\mu A} \right] = 9k\Omega$$

marginę bezpieczeństwa

$$M_H = U_{wy} - U_H \quad \text{dla } U_{we} = U_L = 1V$$

$$M_L = U_L - U_{wy} \quad \text{dla } U_{we} = U_H$$

$$M_L = 0,4 - 0,2 = 0,2V$$



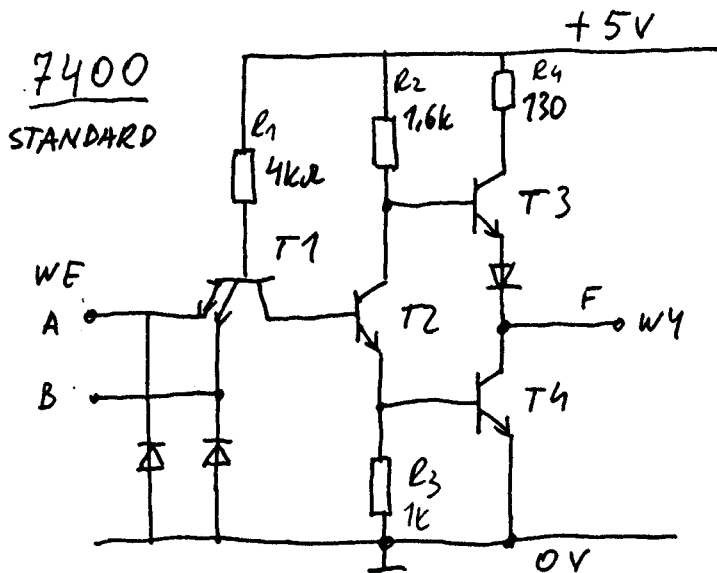
PODSTAWOWE GRUPY SCALONYCH UKŁADÓW LOGICZNYCH

TTL Transistor-Transistor Logic

18.06.2007

CMOS Complementary Metal-Oxide Semiconductor

UKŁADY LOGICZNE TTL



A	B	T1BE	T1BC	T2	T3	T4	F
0	0	+	-	-	+	-	1
0	1				+	-	1
1	0				+	-	1
1	1	-	+	+	-	+	0

Merzenie od stanu na wejściu układu pobiera prąd moc przerobu albo w baze T3 lub T4 musi stać płynięcie jakiś prąd. 2mA przy +5V

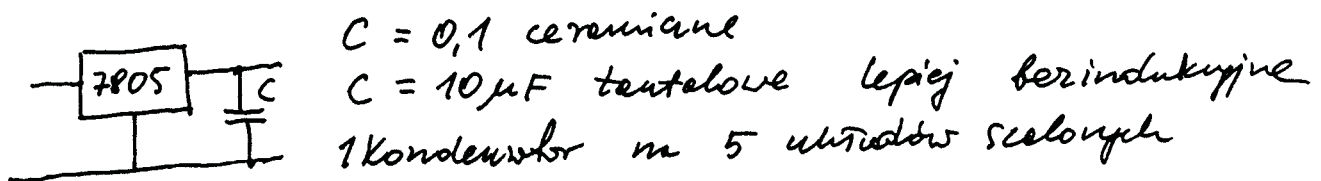
1 - $I_{wy} = 400 \mu A$ wypływa

0 - $I_{wy} = 16 mA$ wpływa

obciążalność (fan-out) - 10 bramek

szybkość działania $t_p = 10 ns$ $f_s = \frac{1}{2 \cdot 10 \cdot 10^{-9}} = \frac{1000}{20} \cdot 10^6 = 50 MHz$

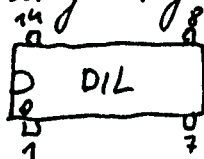
zasilanie $+5V \pm 10\%$ szpilki na sygnał zasilających



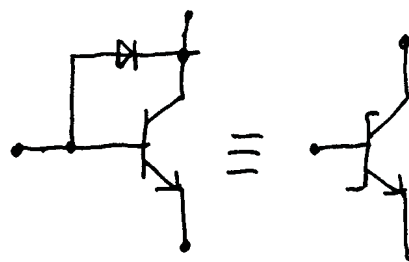
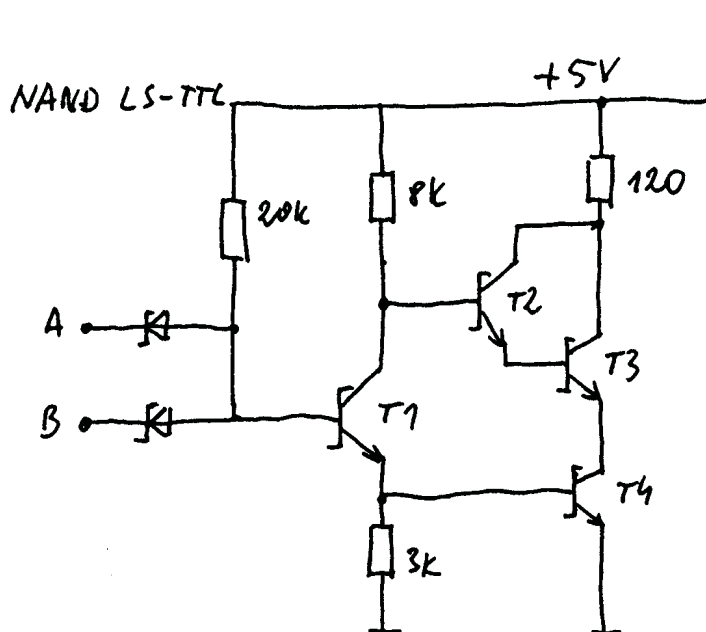
nienasycone wejścia: muszą być obciążone do innych wejść, do dodatkowej szyny przez rezystor $1k\Omega$, lub do zera 0 zasil.

Dual-In-Line np. 14 pinów

obudowy



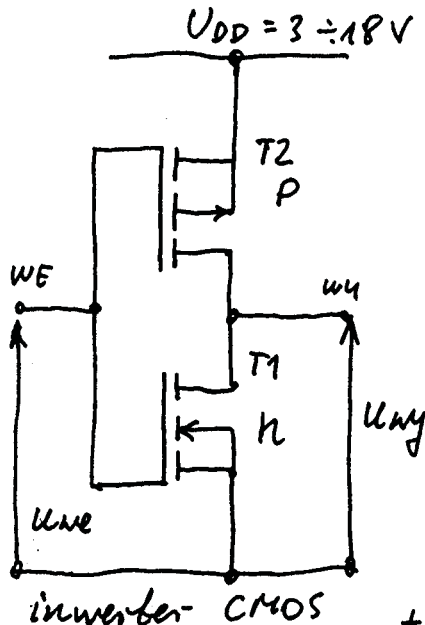
UKŁADY TTL SCHOTTKY'GO oznaczenie z obciążeniem LS np 74LS00



mały pobór mocy (5x TTL standard), szybkość działania (2x),
 koszt układów około 25%

UKŁADY LOGICZNE CMOS

18.06.2005/11



MOSFET jest elementem sterowanym napięciem. Wejście bramki nie pobiera prądu. Jeżeli z wyjścia jest sterowana inna bramka CMOS, to wyjście nie musi odtworzyć żadnego prądu!

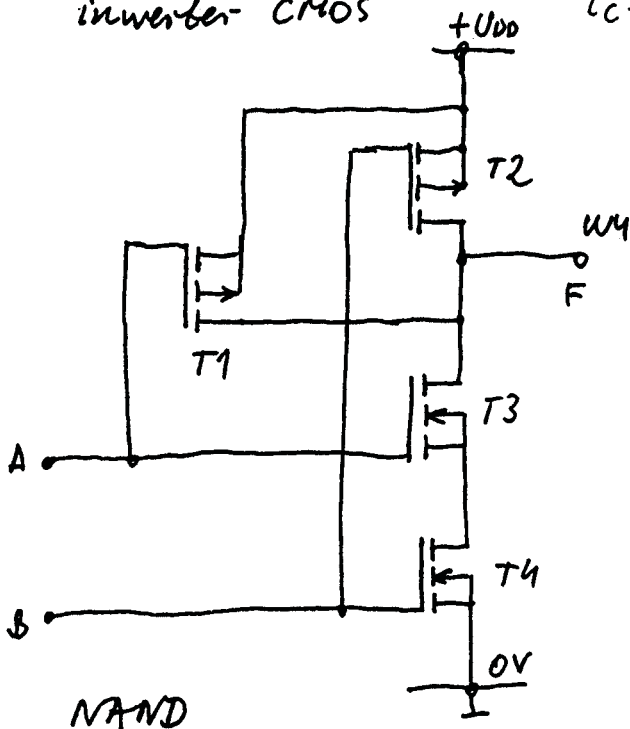
W cyklu L-H-L energia przekazywana wynosi

$$W = \frac{1}{2} C_T U_{DD}^2 + \frac{1}{2} C_T U_{DD}^2 = C_T U_{DD}^2$$

$$P = \frac{W}{t} = f_s C_T U_{DD}^2$$

$$i_c = C \frac{du_c}{dt} \quad C = \frac{I_c \Delta t}{du_c}$$

A	B	T1	T2	T3	T4	F
0	0	+	+	-	-	1
0	1					
1	0	-	+	+		
1	1					



przed pływem podciśnieniem, w stanie ustalonym układ nie pobiera prądu

10 nW na bramkę

0,1 μA przy +5V

$$P = U_{DD}^2 C_{load} f_s = U_{DD} I_{D_s} t_p f_s$$

napięcia zasilające 3-18V

$$1 \cong U_{DD}$$

$$0 \cong 0V$$

$$1 = U_{DD} - 10mV$$

$$1 = 0 + 10mV$$

np $U_{DD} = 5V$

$$1 = 4,99V$$

$$0 = 0,01V$$

$$\text{prędkość} = \frac{1}{2} U_{DD}$$

branowej odporność na zakłócenia

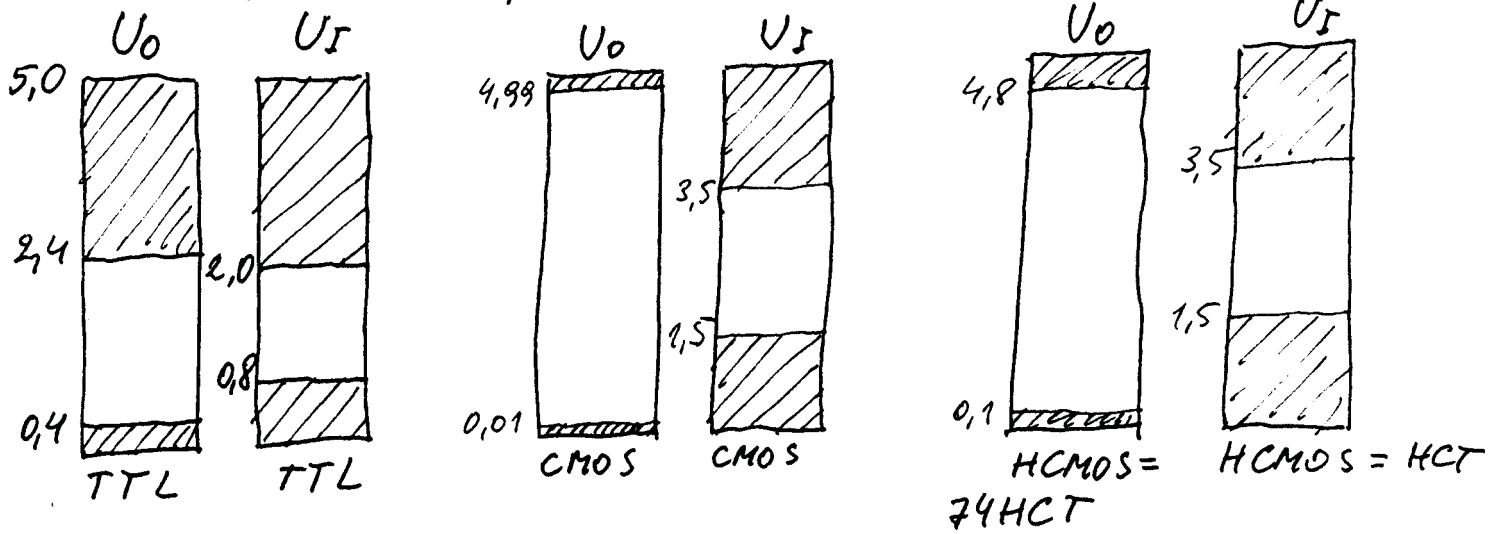
można przewodzić przy niestabilizowanych napięciach zasilających

nie są potrzebne kondensatory odsprężające

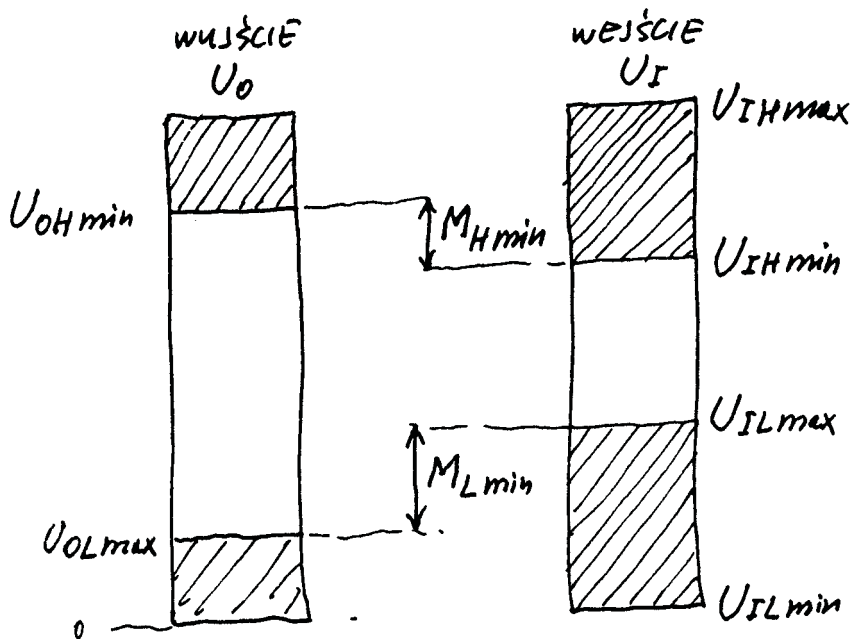
CMOS są wolniejsze od TTL

obciążalność ≈ 50 bramek

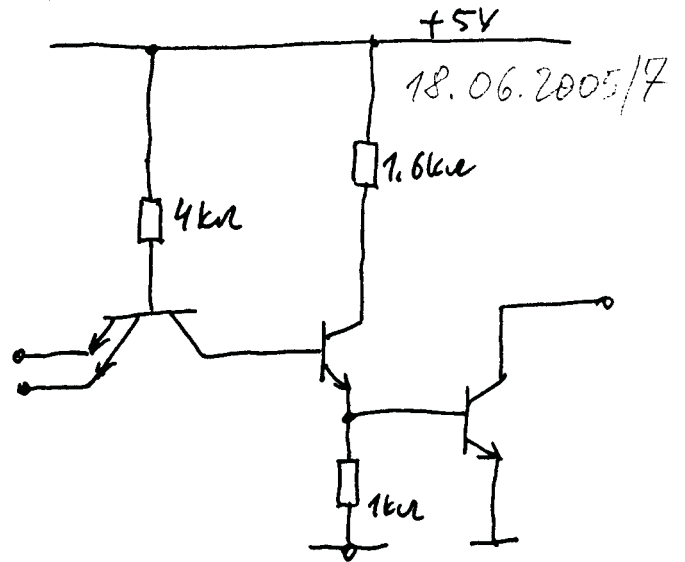
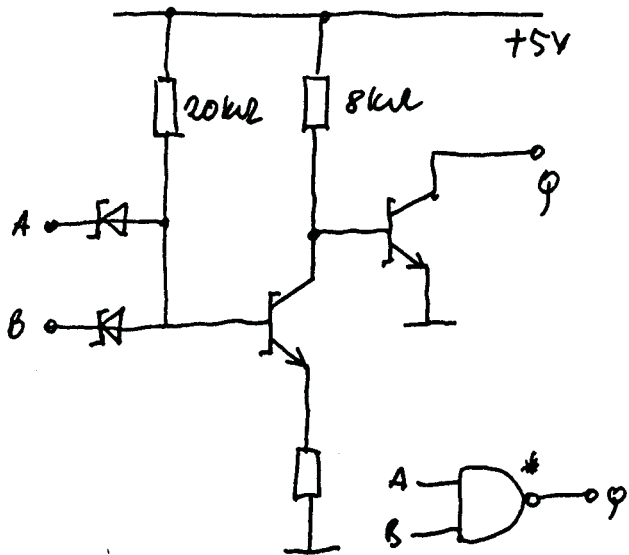
POZIOMY NAPIĘCIE WEJŚCIOWYCH I WYJŚCIOWYCH UKŁADÓW TTL, CMOS I HCMOS 12.06.2005/5



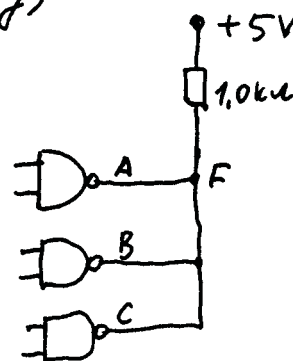
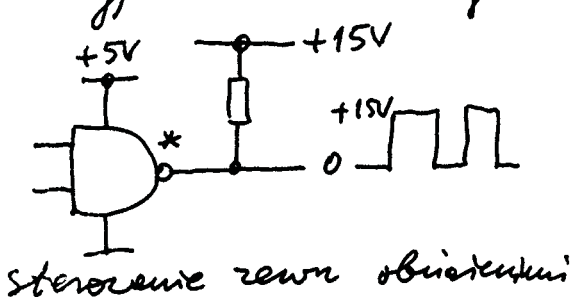
74HCT kompatybilna z TTL-LS



BRANKI (UKŁADY) Z OTWARTYM KOLEKTOREM



- sterowanie zewnętrznej obciążenia,
- tworzenie "sumy monitorów", "ilości monitorów"
- wyjście na magistrale (cyfry) zewnętrzne.

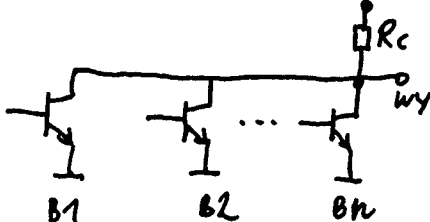


Magistrale zewnętrzne
przy możliwych wybuchach
prędkości informacji
OC stosuje się do sterowania
liniami magistrali. np.
potencjał komputeru w stopniu
dyfuzyjnym oraz magistrali IEEE-448
(oznaczany również HPiB i GPiB)
do łączenia przynajmniej 1000
z komputerami i urządzeniami.

Ilości monitorów $F = ABC$
 $F = 1$ gdy $A = B = C = 1$

Komputerowe linie przewoźne,
których zadaniem jest
sygnalizowanie, że wymagany
jest jedno umieszczenie lub więcej
na sobie uwagi.

Niekiedy występuje konieczność połączenia większej liczby
bramek. Przy np. 20. wyjściach byłoby potrzebne do tego brama o 20.
wejściach, do których musielibyśmy podłączyć 20 oddzielnych przewodów.



Stosujemy bramkę OC. Można je trzymać niezależnie.
Uny = H tylko wtedy, gdy $B1 = B2 = Bn = H$
bramka spełnia funkcję AND.

WYJŚCIA TRÓJSTANOWE

15.06.2005

W przypadku przekazywania informacji przez wspólne sygnały = multiplex, kiedy jedno z wyjść bramki ma decyduje o stanie linii sygnałowej można skorzystać z dodatkowego wejścia układu z sterującym kolektorem, ustalając w wysokiimpedencyjny stan H wysłanie sygnału z wyjściem jednego. Konkretnie posiada układ, który jest mode symulacji modelu napięcia wyjściowego. Zmiana bramek OC sterowane są bramki trójstanowe, których wyjście precyzyjne za pomocą sygnału sterującego powoduje w ten sposób wysłanie impedancji (stan Z). Zasadę realizacji takiego układu przedstawia na poniższym rysunku.

EN (enable) sygnał zezwolenia

EN = 1

A = 1 Z1 = 0 Z2 = 1

T2 zatkany, T1 przewodzi
układ działa jako inwerter

A = 1 F = 0

EN = 0

Z1 = 0 Z2 = 0

T1 zatkany T2 zatkany = stan wysoki impedancji Z.

W wyjściach trójstanowych wykorzystuje się: bramki, inwertery, liczniki, wzmacniacze, rejestry itp.

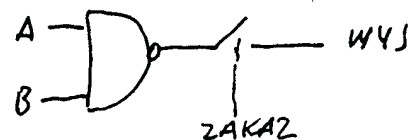
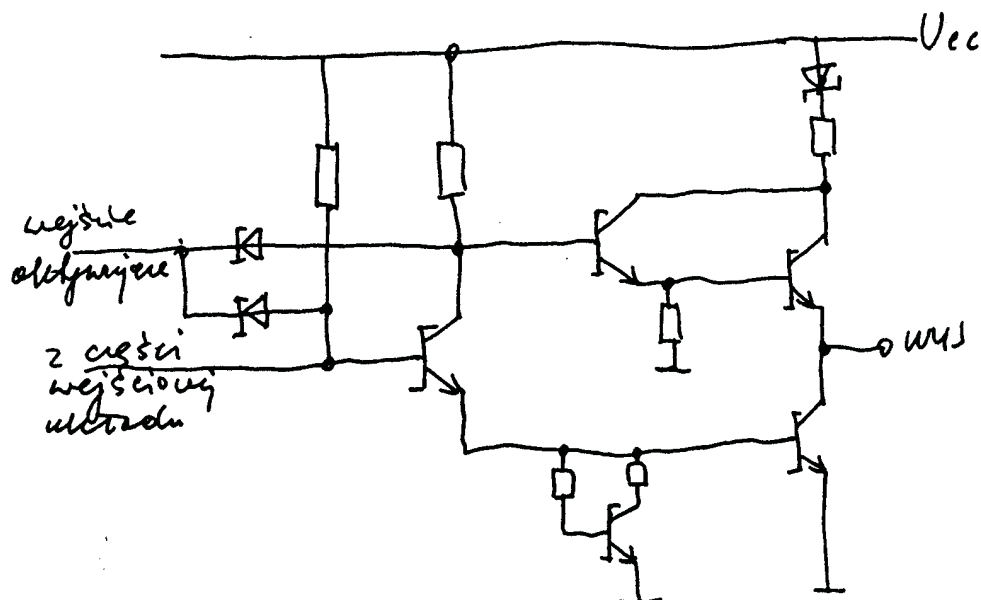


Symbol bramki trójstanowej (symbolowane są inne oznaczenia).

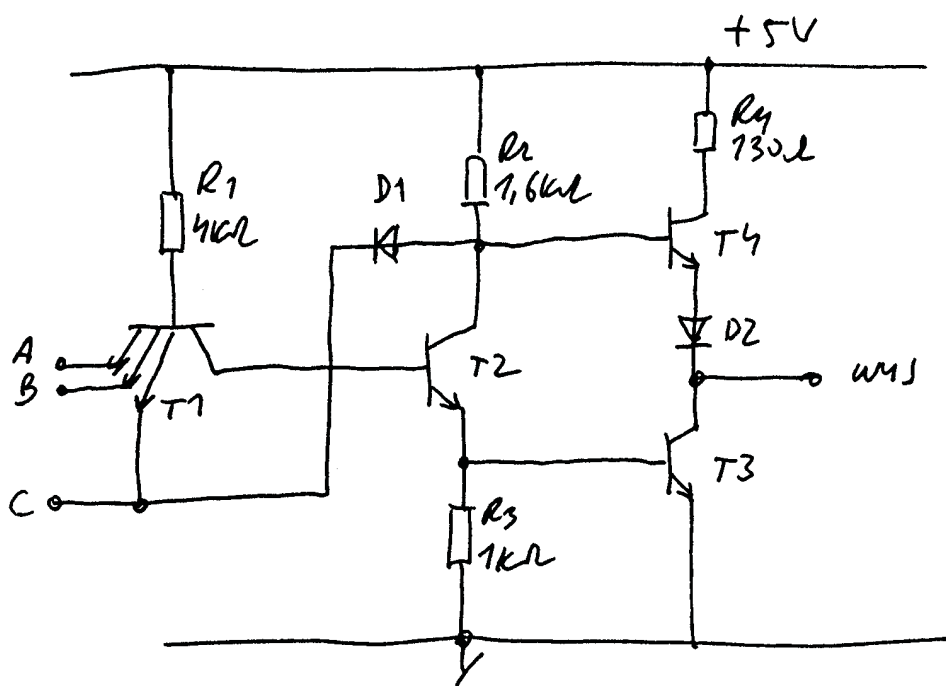


WYJŚCIE (BRAMKA) TRÓJSTANOWA

three-state logic
tri-state logic
18.06.2005/9



stan na wyjściu:
niski
wysoki
dużej impedancji
(rozmożnia)

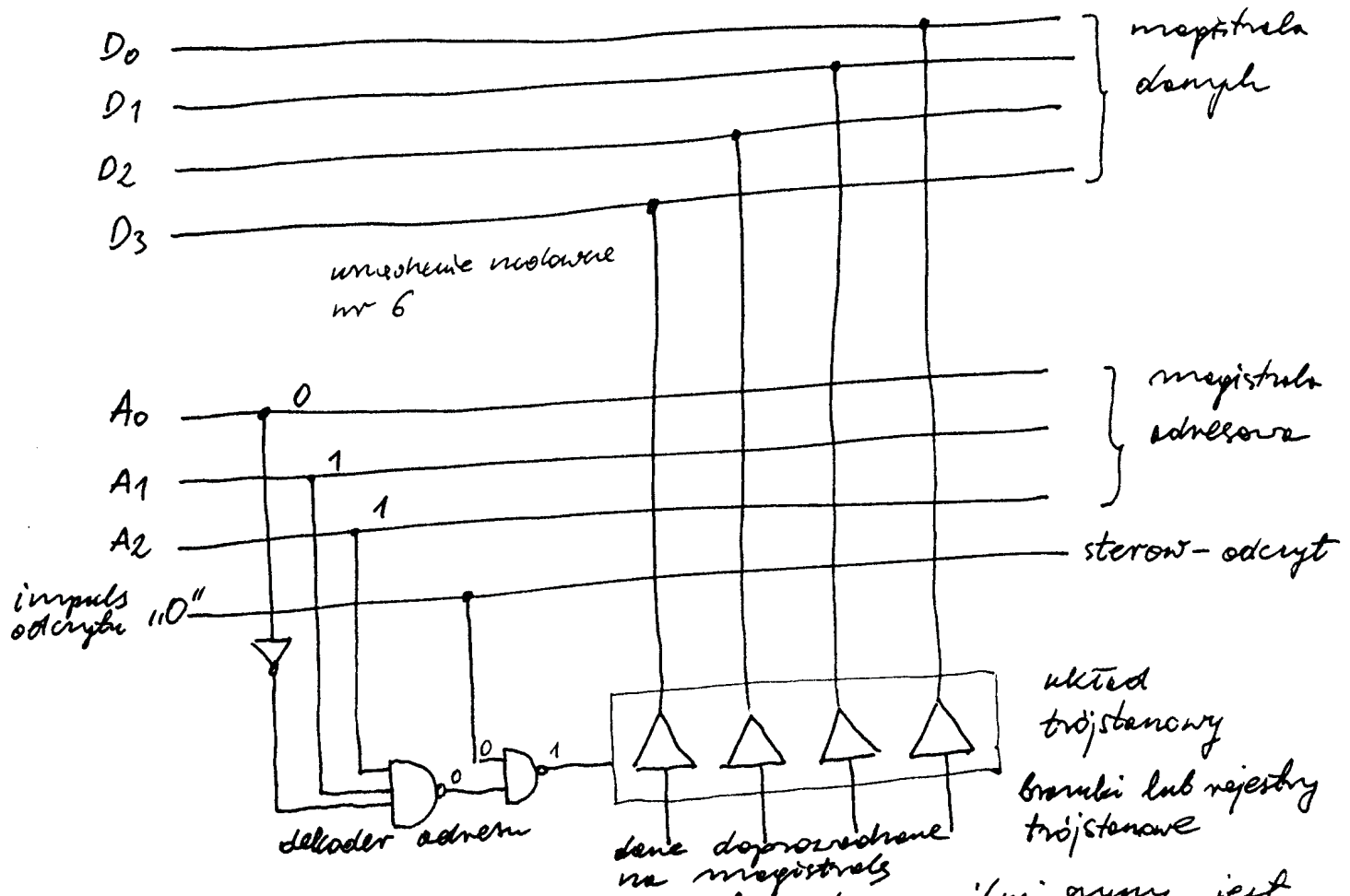


C = H
D2 odciska
podstawowe bramki

C = L
T2, T3, T4 zatkane
stan wysoki
i impedancji

PRZESYŁANIE INFORMACJI W SYSTEMACH PROCESOROWYCH

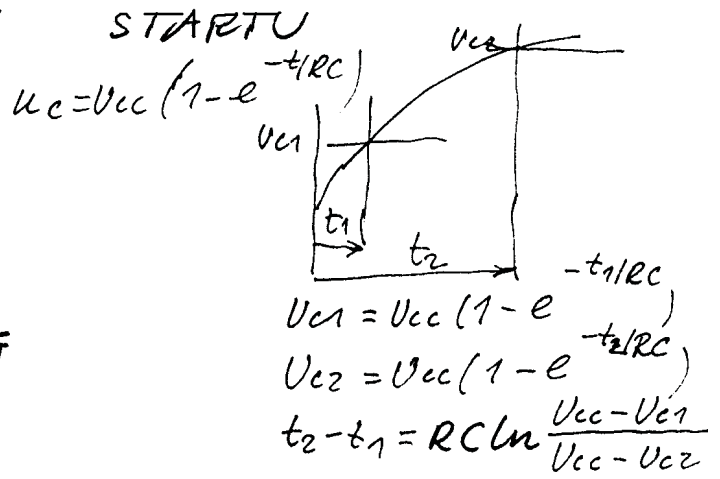
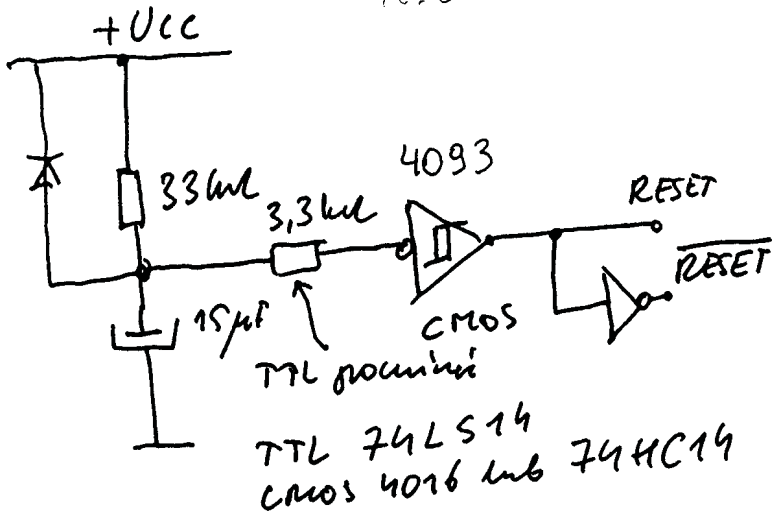
MAGISTRALA DANYCH 48.06.2001



Obstępuje wniesienie do wyjścia sygnału jest tak rozumiane, że w chwili uruchomienia kopii jednego wniesienia z adresem, natomiast uruchomienie pozostałych wniesień ma być słon wysłany impulsy (trójstan). Wybrane wniesienie „doświadczyło”, że musi dostarczyć dane na sygnał, rozpoznaje swój własny adres na magistrali adresowej i sterującej. Na rysunku wniesienie mowa nr 6 (110). Wniesienie doświadczyło, że musi dostarczyć dane na sygnał, rozpoznaje swój własny adres na magistrali adresowej i sterującej z pomocą dekodera adresu. Kiedy na magistrali adresowej pojawi się kombinacja 110 i nastąpi impuls 0, wówczas dekodery wyśle sygnał 1 na wyjście aktywujące układ trójstanowy. Wniesienie uruchomi dane na magistrali danych. Nad prawidłowe sterowanie wniesieniem sterujący trójstanowy układ może eliminować konflikty na magistrali.

ZEROWANIE W CHWILI STARTU

18.06.2005/144

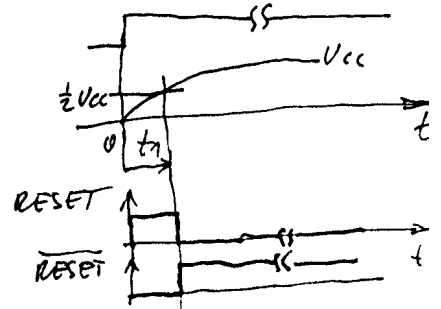
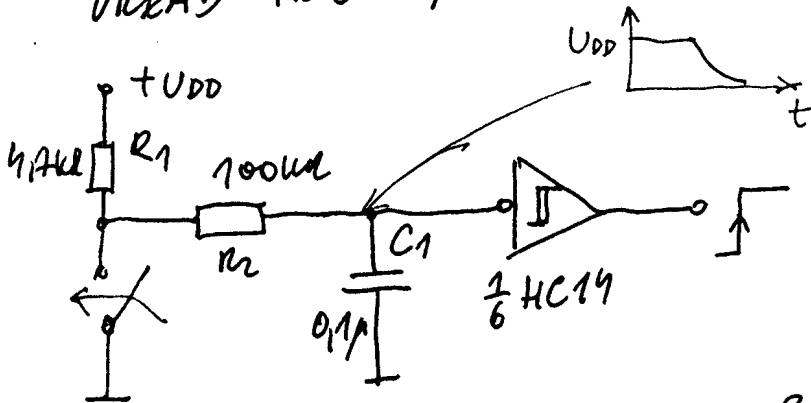


TTL 74LS14

CMOS 4016 lub 74HC14

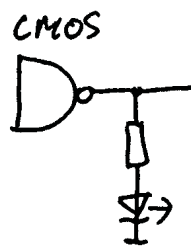
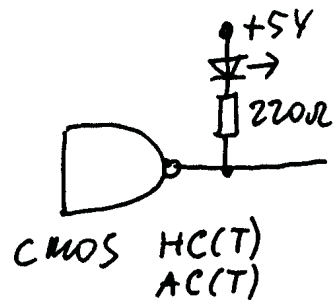
CMOS $U_{c2} = \frac{1}{2} V_{cc}$ $t_x = RC \ln 2$

UKŁAD TRUMIĄCY DRGAŃ ZESTYKÓW

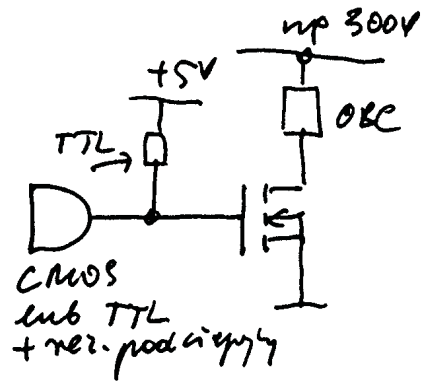
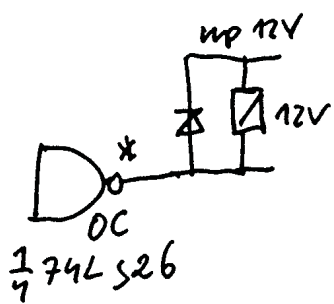
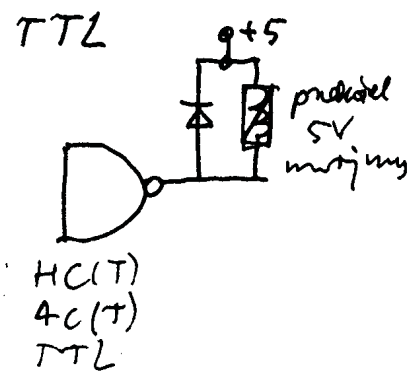


$$t_x = 0,7 RC \quad t_x = 0,7 \cdot 100 \cdot 10^3 \cdot 0,1 \cdot 10^{-6} = 7 \text{ ms}$$

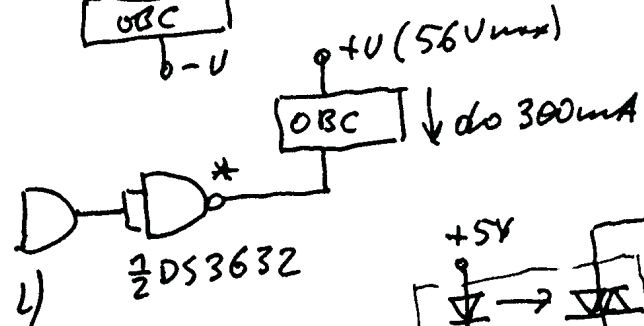
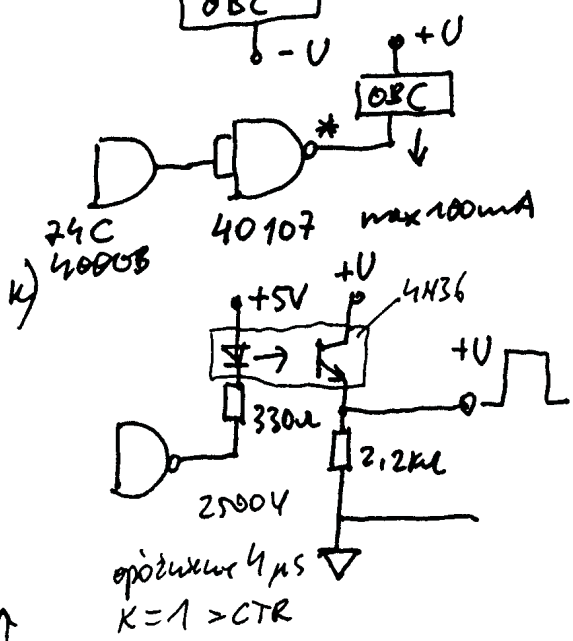
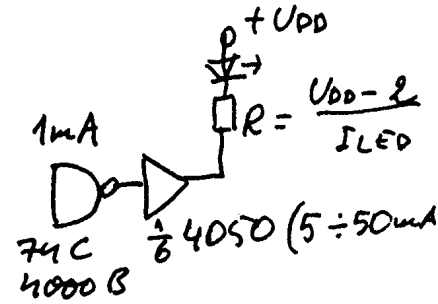
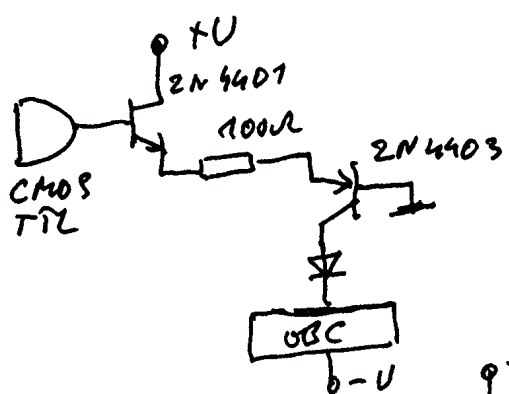
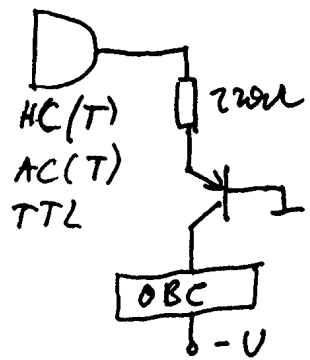
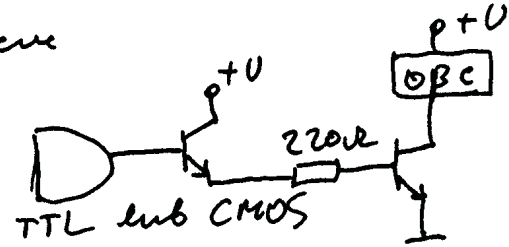
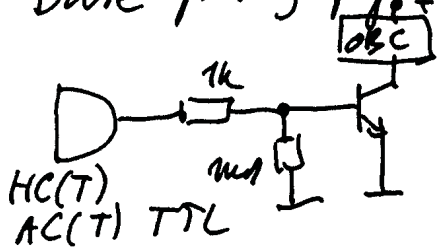
SPOSOBY DOŁĄCZENIA OBCIĄŻEN DO WYJŚĆ UKŁADÓW LOGICZNYCH 18.06.2012



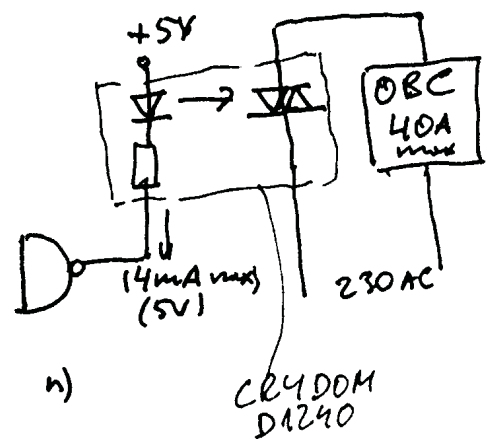
LST i VLSI technika CMOS
technika sprzęgła tak
jak 5-woltowe układy CMOS
średniej skali scalone (MST)



Data przed pływ. prac obciążenie



740L 6644 (GT)
we-ny LS-TTL
 $t_d = 60\mu s$
2500V



↑ przed podłączeniem HC=5mA LS=8mA 74C=3,5mA